

## バンプめっき装置

栗山 文夫\* 南 吉夫\*\* 木村 誠章\*\*

### Bump Plating System

by Fumio KURIYAMA, Yoshio MINAMI, & Masaaki KIMURA

The UFP-300A is a fully automatic bump-plating system released into the market in 2001. It features high quality bump plating and mass productivity. This system can also be used for rerouting, analog circuit boards and MEMS (Micro-Electro-Mechanical System). It is currently being used by leading-edge semiconductor manufacturers in the U.S.A. and Asia, as well as in Japan.

**Keywords:** Bump, Plating, Electroplating, Wafer process, LSI, Chip mounting, Flip chip, Packaging, High-density packaging, Wafer level CSP (Chip Size Packaging)

#### 1. はじめに

当社は2001年に全自動形300 mm ウェーハ用バンプめっき装置UFP-300Aの第1号機を顧客に納入した。以来、米国を中心として、アジア及び国内の最先端半導体デバイスメーカーがこの装置を納入してきた。本装置は品質の高いバンプ形成を行うことができ、量産性にも優れている。半導体デバイス（素子）の高速化及び高機能化への進行に伴い、更に多くの顧客へと採用が広がろうとしている。以下に、バンプめっきプロセスと当社が納入しているバンプめっき装置（写真1）の特長を紹介する。

#### 2. バンプ

バンプ（Bump）とは日常用語としては頭などにできる瘤（こぶ）という意味で、何か出っ張った形状をしたものを広くさす。ここでいうバンプとは、シリコンウェーハ上に形成されたこぶ状の金属を指し、ウェーハのダイ（後に集積回路のひとつかたまりとして切られて一つのチップとなる領域）内で形成された集積回路につながる突起状金属端子を意味する。このウェーハ上に形成され



05-89 01/207

写真1 バンプめっき装置 UFP-300A

Photo 1 Bump plating system UFP-300A

たバンプはダイ内集積回路の配線の一部であり、集積回路を外部のサーキットボード（回路基板）やインタポーザ（中間基板）回路へ接続するための端子となっている。一つのダイに数十個から数千個のバンプが必要とされ、300 mm ウェーハ1枚に多いものでは200万個のバンプが形成される。電気めっきの原理を利用してこのウェーハ上にバンプを形成する装置がバンプめっき装置である。

バンプは従来ダイの周辺に沿って配置され、金線（ワイヤーボンディング方式）やリード（TAB方式）によって外部へと接続されることが多かった。しかし、半導体デバイス回路の集積化・高密度化が進むにつれて外部

\* 精密・電子事業本部 装置事業部 めっき装置事業室 プロセス技術部 博士（工学）

\*\* 同 同 同 設計部  
\*\* 同 同 同 プロセス技術部

回路との接続のためのバンブ数が多くなり、ダイ表面の全面にバンブが形成される必要性が生じてきた。また、半導体デバイス機能の高速化に伴い配線距離を短縮させる必要性から、表面にたくさんのバンブが形成されたチップをひっくり返して直接回路基板上に接続する方法（フリップチップ方式）が用いられるようになってきた。高速演算処理・データ処理プロセッサに用いられてきたフリップチップ方式が、デジタルカメラや携帯電話に代表される携帯情報端末機器の高機能かつ小形軽量化に伴って広く採用されるようになってきた。

### 3. バンブプロセス

バンブ形成のプロセス（処理工程）はウェーハ処理での最終段階で最も重要なプロセスの一つである。半導体集積回路形成では数多くの工程を経るが、それまでのすべての工程を合格してきたウェーハを処理するこのバンブプロセス装置には極めて高い信頼性が要求される。300 mm ウェーハ1枚当りに100万から200万個のバンブを形成するが無欠陥が要求される。バンブ高さや形状の均一性、金属の純度もしくは合金組成の均一性が厳しく求められる。バンブの材料には主に金、銀、銅、ニッケル、はんだ（半田）が用いられる。従来から多く用いられてきたはんだに対して、最近銅バンブ（ポストやボールもしくはピラーとも呼ばれる）も多く用いられるようになってきた。

次に、バンブ形成の代表例としてはんだバンブめっきプロセスについて説明する。電気めっきは、めっき液（金属イオンその他を含んだ水溶液）に被めっき物（カソード：陰極）とアノード（陽極）を浸漬させて両極間に電気を流して被めっき物表面に金属膜を形成する方法である。ウェーハ上のバンブ形成においては、レジスト（感光性高分子膜）を用いたリソグラフィ（写真転写）技術によってバンブパターンを形成して、これにめっきを施してバンブを形成する。

図1に示すように、めっきでバンブを形成するためにシリコンウェーハ上にレジストパターン（レジスト開口部）を形成しておく。レジストパターンは、チップ内の回路につながるパッドと呼ばれる配線端末部上でレジストを開口することにより形成される。レジストの下部にはバリアメタル層（バンブ金属の拡散を防止するための金属膜で、導電性をもたせてある）が形成されており、ウェーハの端部からこのバリアメタル層を通して通電することにより電気めっきを行う。レジストパターン部だけがめっき液に触れているため、レジストパターンに倣

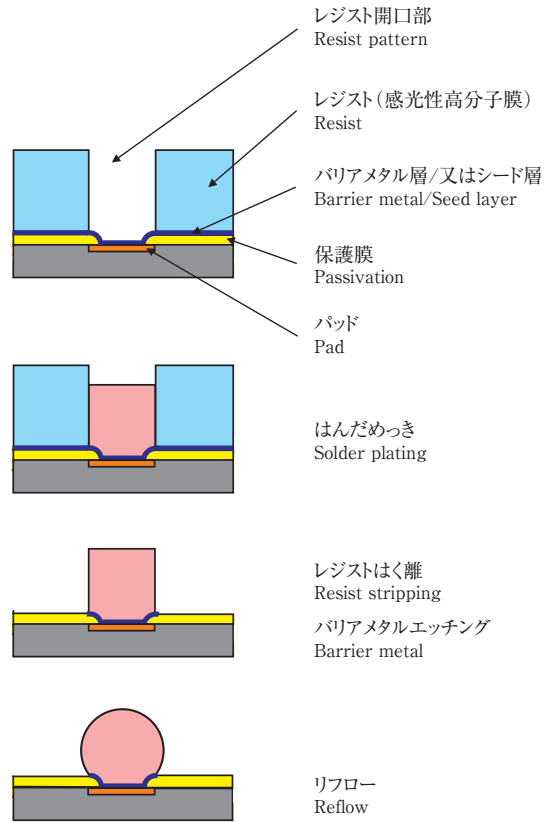


図1 はんだバンブ形成プロセスフロー  
Fig. 1 Process flow for solder bump formation

ってバンブが形成される。バンブがめっきによって形成された後は、ウェーハは次のプロセス装置に移され、レジストはく離及びバリアメタルエッチング（バンブ以外の不要な箇所のバリアメタル層をエッチングで除去）が行われる。この後にウェーハをリフロー炉で加熱することによりバンブを一旦熔融して球状バンブを作るとともにバンブ金属内のガス出しを行う。

### 4. 環境を配慮した鉛フリーはんだバンブ

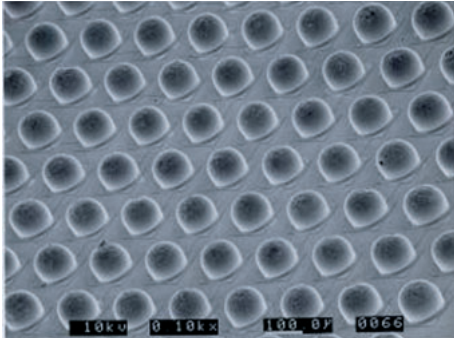
従来のはんだはすず（Sn）と鉛（Pb）の合金で、導電性をもつとともに金属としては比較的低い融点を持ち、電気配線材料や半導体材料にダメージを与えない温度で熔融して素子の接合を行うことができる材料である。しかし、鉛は環境問題を引き起こすため、鉛を含まない接合材料でバンブを形成する必要性が近年強く望まれるようになってきた。そのため、鉛フリーはんだ（鉛を含まないはんだ材料）でバンブを形成するめっき装置が望まれた。当社は早くからこの環境問題に取り組むプロセス開発を進め、このバンブめっき装置を用いて鉛フリーはんだのバンブめっき形成を実証している<sup>1~6)</sup>。鉛

はんだに取って代わる材料として、すず・銀 (Sn-Ag) はんだ、すず・銅 (Sn-Cu) はんだ及びすず・銀・銅 (Sn-Ag-Cu) はんだについて、要求されるそれぞれの材料に対応した装置をこのシリーズの中に配置している。当装置で形成された鉛フリーはんだは、写真2～4に示すように、そのバンブをリフローしても欠陥のない良好な球状バンブが形成される。

## 5. 銅バンブ

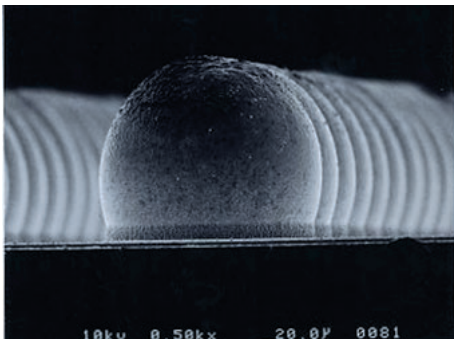
本バンブめっき装置は銅バンブめっき装置として多く用いられている。銅 (Cu) は鉛フリー材料であると同時に電気抵抗が低く、半導体デバイスの高速化に適応した材料であるからである。銅ははんだのように低温で溶融して材料を接合することができないため、他の接合材料を必要とする。このため、銅バンブ先端表面形状や表面粗さが接合のための条件として重要な要素となる。本装置は多くの顧客のプロセスを満足するため、めっき液とめっき条件を変えることによりいろいろな要求に対応できる装置となっている。

写真5は銅バンブの一例を示している。銅バンブの先端表面は平らで粗い表面になっている。これは一般的に



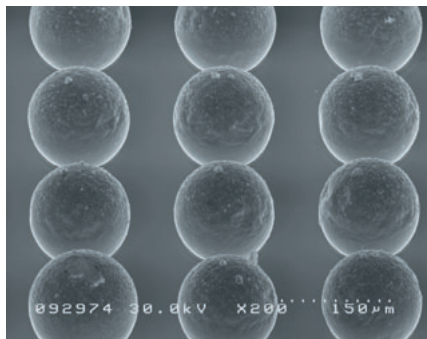
05-89 02/207

写真2 Sn-Agはんだバンブ (リフロー後)  
Photo 2 Sn-Ag solder bumps after reflow



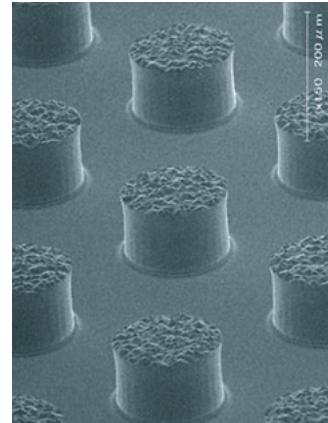
05-89 03/207

写真3 Sn-Cuはんだバンブ (リフロー後)  
Photo 3 Sn-Cu solder bumps after reflow



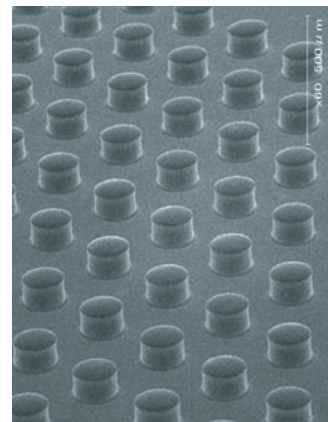
05-89 04/207

写真4 Sn-Ag-Cuはんだバンブ (リフロー後)  
Photo 4 Sn-Ag-Cu solder bumps after reflow



05-89 05/207

写真5 銅無光沢表面バンブ  
Photo 5 Cu rough surface bumps



05-89 06/207

写真6 銅光沢表面バンブ  
Photo 6 Cu smooth surface bumps

無光沢表面と呼ばれている。接合面には適度な表面粗さが好まれ、この無光沢表面が多く用いられている。写真6はバンブ先端表面が平滑な光沢表面の銅バンブの例である。接合条件によっては平滑表面が要求されることも少なくない。

## 6. ウェーハホルダ

電気めっきによる成膜速度は、スパッタリング (Sputtering) やCVD (Chemical Vapor Deposition) などの他の方式に比べてかなり速い。しかし、50から100  $\mu\text{m}$  のバンブ高さを形成しようとする、数十分から1時間程度のめっき時間が必要となる。先に述べたように、バンブ形成のプロセスはウェーハ処理での最終段階で最も重要なプロセスの一つである。そのため、プロセス装置に極めて高い信頼性が要求される。ウェーハ処理のためのめっき装置はウェーハを裸で水平下向きに取り扱うことが多い。しかし、当バンブめっき装置はウェーハをウェーハホルダと呼ばれる搬送ジグに挿入して垂直姿勢でめっきを行うところに特長がある。

ウェーハはまず、ハンドリングロボットによりフープ (FOUP: 300 mm ウェーハカセット) から取り出され、写真7に示すようなウェーハホルダに一旦挿入される。この後、このウェーハホルダを搬送ロボットがそれぞれの処理槽へと搬送し、ウェーハは前処理、めっき、粗洗浄と順次処理される。ウェーハは表面のエッジ近傍でウェーハホルダのシール機構によりしっかりシールされるとともに、ウェーハエッジでの電気供給のための電気接点が確実にとられる。ウェーハエッジと裏面は (すなわちめっき処理面以外は) ドライ雰囲気中に保たれ、薬液による腐食や汚染から確実に保護される。ウェーハ表面はバンブパターンが刻まれているやわらかいレジスト膜で

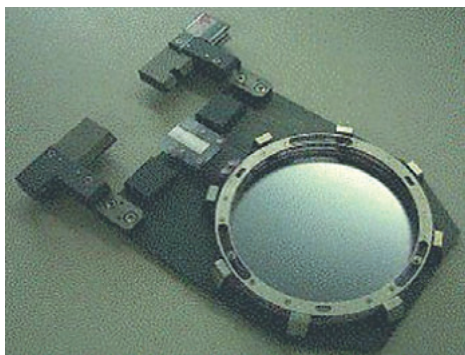


写真7 ウェーハホルダ  
Photo 7 Wafer holder

覆われているため、前述処理ごとにウェーハにシールを行うとシール部のダメージを受けやすくなり、薬液のシールもれを生じることが懸念される。しかし、このウェーハホルダを用いて1度シールを行うことにより複数のプロセス処理ができ、ウェーハ上のシールとプロセスの信頼性が高められる。

## 7. 垂直めっき姿勢

本装置では、ウェーハは先に示されたウェーハホルダにセットされてめっき槽で垂直姿勢にてめっき処理されている。図2は本装置でのめっき槽の概要を示している。めっき液は温度調節器とフィルタを経て循環ポンプによりめっき槽の底部からめっき槽に供給され、めっき槽をオーバーフロー後循環ポンプに戻る。実際のめっき装置においては、めっき液は温度調節器とフィルタを出た後、複数のめっき流路に分枝され、複数のめっき槽に等配される。ここで、ウェーハとアノードは垂直平行に設置され、めっきが行われる。バンブパターンの実際の寸法は、100から200  $\mu\text{m}$  の直径と50から100  $\mu\text{m}$  の深さが一般的である。バンブパターンのめっき液中で気泡が発生した場合でも、このようにウェーハを垂直に配置することにより気泡がより容易に除去されることから、気泡による欠陥が生じないようにしている。図3は本装置全体の構造を示している。2台の搬送用ロボットがウェーハホルダをスケジューラによって効率的に処理・搬送している。

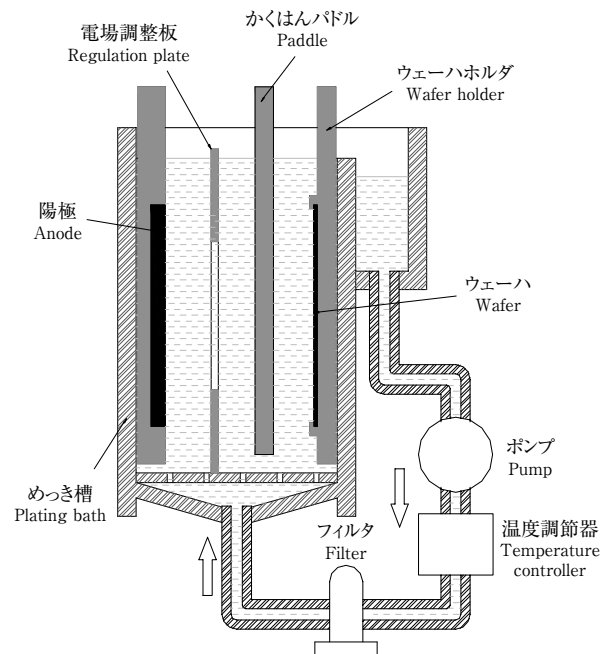


図2 めっき槽  
Fig. 2 Plating cell system

05-89 07/207

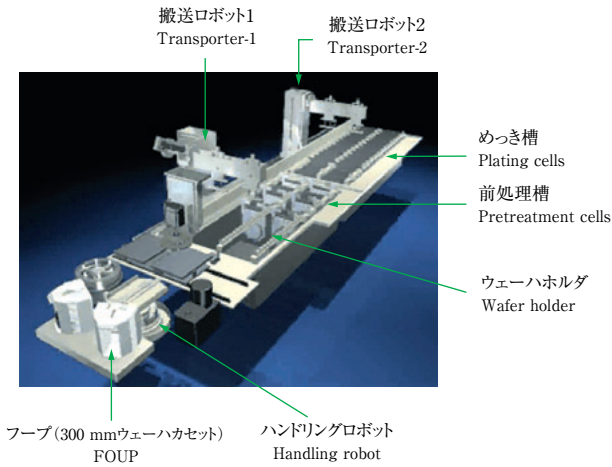


図3 めっき装置内部構造  
Fig. 3 Structure of plating system

## 8. おわりに

本装置は高い信頼性をもつバンプめっき装置として特に海外の顧客に広く用いられてきた。国内においてもフリップチップ方式の採用によって徐々にこのバンプめっき装置が用いられるようになってきた。これからは高性能プロセッサやシステム LSI だけでなく、小形・低コスト

化のための実装技術においてもフリップチップ方式やウェーハレベル CSP 方式は基本技術として広まってくであろう。更に、本装置は他の配線プロセスである再配線やアナログ回路形成及び MEMS (Micro-Electro-Mechanical System) などの微細加工技術にも用いられるようになってきた。これから更にこの装置が広く用いられることを期待する。

## 参考文献

- 1) Kiumi, R., Yoshioka, J., Kuriyama, F., Saito, N., Shimoyama, M., Process Development of Electroplate Bumping for ULSI Flip Chip Technology, 52nd ECTC, p.711 (2002)
- 2) Kiumi, R., Yoshioka, J., Kuriyama, F., Saito, N., Shimoyama, M., Processing, Properties, and Reliability of Electroplated Lead-Free Solder Bumps, Itherm 2002, p.909 (2002)
- 3) Kiumi, R., Yoshioka, J., Kuriyama, F., Saito, N., Shimoyama, M., Electroplating Process of Lead Free Bumps for ULSI Flip Chip Technology, International Conference on Lead-Free Electronic Components and Assemblies (2003)
- 4) Kiumi, R., Yoshioka, J., Kuriyama, F., Saito, N., Takeda, S., Electroplating Process for Lead-Free Bumps in Flip Chip Packaging, Advanced Metallization Conference, p.669 (2003)
- 5) Yoshioka, J., Kiumi, R., Kuriyama, F., Saito, N., Takeda, S., Saijo, Y., Void-Free Bumping Process for Lead-Free Solder, International Wafer-Level Packaging Conference (2004)
- 6) Kiumi, R., Yoshioka, J., Kuriyama, F., Saito, N., Takeda, S., Saijo, Y., Effective Factors of Lead-Free Alloy Electroplating for Flip Chip Packaging Applications, 7th International Conference on Lead-Free Electronic Components and Assemblies (2004)

